

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-210361

(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

G09G 3/36
G02F 1/133
H04N 5/66

(21)Application number : 04-016885

(71)Applicant : TOSHIBA CORP
TOSHIBA AVE CORP

(22)Date of filing : 31.01.1992

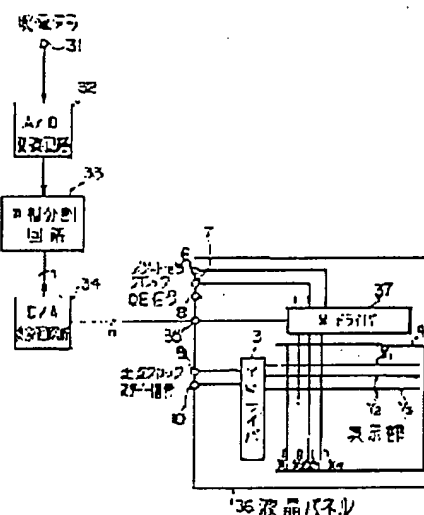
(72)Inventor : TSUZUKI KICHIJI

(54) DRIVING CIRCUIT OF LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To miniaturize the device and to prevent spuriousness from being generated even when a liquid crystal panel having high resolution is driven.

CONSTITUTION: An (n)-phase dividing circuit 33 divides the digital video signal from an A/D converting circuit 32 into (n) phases and outputs them while aligning their time bases with one another. Consequently, video signals of (n) sampling points are inputted to the liquid crystal panel 36 at the same time. A shift register in an X driver 37 shifts and supplies ON pulses to switches S1, S2... at a period which is (n) times of a sampling period, and (n) video signals are supplied in order to every (n) data lines of a display part 4, which is driven. Thus, the operation clock of the shift register is made low to drive the liquid crystal panel 36 having the high resolution without increasing the number of shift registers, thereby preventing the device from increasing in size and the spuriousness from being generated owing to an increase in the number of signal lines.



LEGAL STATUS

[Date of request for examination] 01.12.1997

[Date of sending the examiner's decision of rejection] 09.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-210361

(43)公開日 平成5年(1993)8月20日

(51)IntCl ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 9 C 3/36		7319-5G		
G 0 2 F 1/133	5 0 5	7820-2K		
H 0 4 N 5/66	1 0 2 B	9068-5C		

審査請求 未請求 請求項の数1(全14頁)

(21)出願番号 特願平4-16885

(22)出願日 平成4年(1992)1月31日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72)発明者 都築 吉司

東京都港区新橋3丁目3番9号 東芝エー・ピー・イー株式会社内

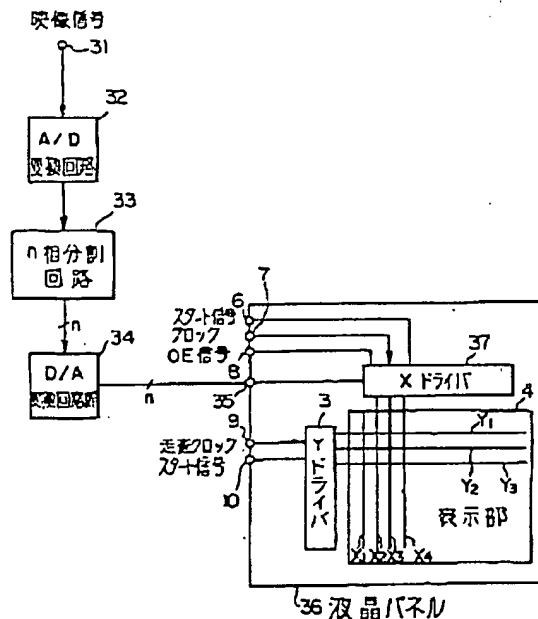
(74)代理人 弁理士 伊藤 進

(54)【発明の名称】 液晶表示装置の駆動回路

(57)【要約】

【目的】高解像度の液晶パネルを駆動する場合でも、装置を小型化すると共に、スプリアスの発生を防止する。

【構成】 n 相分割回路33はA/D変換回路32からのデジタル映像信号を n 相に分割して時間軸を一致させて出力する。これにより、液晶パネル36には n 個のサンプリングポイントの映像信号が同時に入力される。Xドライバ37内のシフトレジスタはサンプリング周期の n 倍の周期でオンパルスをシフトしてスイッチ S_1 , S_2 , ...に与えており、 n 個の映像信号を表示部4の n 本ずつのデータ線に順次与えて駆動する。こうして、シフトレジスタの動作クロックを低くすることにより、シフトレジスタの数を増加させることなく、高解像度の液晶パネルを駆動可能にして、信号線数の増加に伴う装置の大型化及びスプリアスの発生を防止している。



【特許請求の範囲】

【請求項1】 映像信号を n (n は自然数) 相の周波数成分に分割する分割手段と、

この分割手段の出力の時間軸を一致させて n 個の映像信号を出力する時間軸一致手段と、

複数のデータ線及び複数の走査線の交点にマトリクス状に形成される複数の画素電極を前記データ線を介して入力される映像信号及び前記走査線を介して入力される走査信号に基づいて夫々駆動する複数のスイッチング素子と、

前記複数の走査線に走査信号を供給する走査線駆動回路と、

前記複数のデータ線に夫々対応しオンパルスが供給されると n 本ずつのデータ線に前記時間軸一致手段からの n 個の映像信号を夫々供給する複数のスイッチ回路と、
前記複数のデータ線数に基づくサンプリング周波数の $1/n$ の周波数の動作クロックが与えられて動作クロック周期で発生したオンパルスをシフトさせ前記 n 本ずつのデータ線に対応するスイッチ回路に順次与えるシフトレジスタ回路とを具備したことを特徴とする液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置の駆動回路に関し、特に、高解像度の液晶パネルを用いたものに好適の液晶表示装置の駆動回路に関する。

【0002】

【従来の技術】 近年、液晶を用いた表示装置が普及している。例えば、ポケット液晶テレビジョン受像機、ラップトップ型コンピュータ用ディスプレイ装置及び液晶プロジェクター等が商品化されている。特に、液晶プロジェクターは大画面化が容易であること等から、高品位テレビジョン用としても期待されている。テレビジョン放送等の動画を表示する液晶パネルとしては、各画素に例えば薄膜トランジスタ（以下、TFTという）等のスイッチング素子を設けたアクティブマトリクス方式のものが多く採用されている。

【0003】 図8はこのようなアクティブマトリクス方式の液晶パネルの構成を示すブロック図である。また、図9は図8中のXドライバ及び表示部の構成を具体的に示す説明図である。

【0004】 液晶パネル1はXドライバ2、Yドライバ3及び表示部4によって構成している。図示しない極性反転回路によって所定周期で極性反転された映像信号は液晶パネル1の端子5を介してXドライバ2に供給する。液晶パネル1の入力端子6、7、8を夫々介して入力されたスタート信号、サンプリングクロック及びOE（アウトプットイネーブル）信号はXドライバ2に与える。また、入力端子9、10を夫々介して入力される走査クロック及びスタート信号はYドライバ3に与える。

【0005】 図9において、表示部4はマトリクス状に配列されたTFT11によって各画素を構成している。同一の水平ラインに配列された各TFT11のゲートは共通接続して各走査線Y1、Y2、…に接続し、同一の列に配列された各TFT11のドレインは共通接続して各データ線X1、X2、…に接続する。各TFT11のソースは図示しない透明電極に接続され、透明電極と図示しない共通電極との間にツイストネマティック等の液晶12を封入している。

【0006】 Xドライバ2は入力された映像信号をサンプリングホールドし、表示部4の各走査線X1、X2、…に信号を出力する。また、Yドライバ3は表示部4の各走査線Y1、Y2、…に走査信号を供給する。TFT11はYドライバ3が各走査線Y1、Y2、…に与えるハイレベル（以下、“H”という）の走査信号によってオンとなり、データ線X1、X2、…からの映像信号を透明電極に与える。こうして、透明電極と共通電極との間の各液晶を駆動する。

【0007】 図10は液晶パネルの動作を説明するためのタイミングチャートである。

【0008】 シフトレジスタ13は、表示部4の水平方向画素数に対応したビット数を有しており、水平表示期間の開始を示すスタート信号（図10（b））が供給されると、サンプリングクロックに同期したタイミングで第1ビット目から順次オンにしてオンパルスを出力する。なお、サンプリングクロックは表示部4の水平方向の画素数に基づく周波数に設定する。例えば、表示部4の画素数が500画素で、1水平期間が約63.5 μ sとすると、サンプリングクロックの周波数は約9.5MHzに設定すればよい。

【0009】 入力端子5を介して入力された映像信号（図10（a））はスイッチ群の各スイッチ14を介して容量群の各容量15に供給する。各スイッチ14はシフトレジスタ13からのオンパルスによってオンとなって入力された映像信号をサンプリングしてホールドする。これにより、各容量15は1水平有効走査期間に表示部4の1ライン分の画素に対応した映像信号を保持することになり、ラインメモリとして機能する。

【0010】 各容量15の出力をバッファ群の各バッファドライバ16に供給する。各バッファドライバ16は、図10（c）に示すOE信号のタイミングで各容量15の出力を増幅して表示部4の各データ線X1、X2、…に出力する。なお、OE信号は映像信号の水平ブランキング期間にオンとなる。一方、Yドライバ3は、図10（d）に示す走査信号を各走査線Y1、Y2、…に順次供給する。これにより、走査線Y1、Y2、Y3、…は、図10（e）乃至（f）に示すように、1水平期間毎に順次“H”となる。こうして、オンパルスが供給された走査線に接続された各TFT11がオンとなって、Xドライバ2から各データ線X1、X2、…を介して供給される

映像信号に基づく表示が行われる。

【0011】ところで、通常Xドライバ2は中耐圧のCMOS集積回路によって構成しており、Xドライバ2内のシフトレジスタ13は動作クロックを数MHz以下の周波数に設定する必要がある。しかし、上述したように、動作クロック周波数は表示部4の画素数に基づく周波数に設定する必要がある。液晶パネルを高画素にすると、動作クロック周波数も高くしなければならず、図8の構成ではシフトレジスタは動作不能となる。そこで、Xドライバ内に数個のシフトレジスタを設けてシフトレジスタの動作クロック周波数を低くする方法を採用することがある。

【0012】図11はこのような従来の液晶表示装置の駆動回路を示す説明図である。また、図12はその動作を説明するためのタイミングチャートである。図12(a)はサンプルクロックを示し、図12(b)乃至(g)は夫々第1乃至第6クロックを示し、図12(h)乃至(m)は夫々第1乃至第6スタート信号を示している。

【0013】表示部4は2つのXドライバ21、22によって駆動される。Xドライバ21は3つのシフトレジスタ23乃至25を有し、Xドライバ22は3つのシフトレジスタ26乃至28を有している。Xドライバ21の出力は奇数列の画素に対応し、Xドライバ22の出力は偶数列の画素に対応する。Xドライバ21のシフトレジスタ23は第1、7、13、…列の画素に対応し、シフトレジスタ24は第3、9、15、…列の画素に対応し、シフトレジスタ25は第5、11、17、…列の画素に対応する。同様に、Xドライバ22のシフトレジスタ26は第2、8、14、…の画素に対応し、シフトレジスタ27は第4、10、16、…列の画素に対応し、シフトレジスタ28は第6、12、18、…列の画素に対応する。

【0014】シフトレジスタ23乃至28にはサンプルクロック(図12(a))に代えて、夫々図12(b)乃至(g)に示す第1、第3、第5、第2、第4及び第6クロックを与える。各クロックはいずれも6サンプルクロック周期で発生して、第1、2、3、4、5、6、1、2、…クロックの順に、サンプルクロック周期で順次シフトレジスタ23、26、24、27、25、28、23、…に与える。一方、各シフトレジスタ23乃至28は第1、第3、第5、第2、第4及び第6スタート信号によってオンパルスの発生を開始する。これらのスタート信号は、図12(h)乃至(m)に示すように、第1、2、3、4、5、6スタート信号の順に、サンプルクロック周期で順次発生する。従って、シフトレジスタ23、26、24、27、25、28からはサンプルクロック周期でオンパルスが順次発生する。これらのオンパルスをスイッチ群の各スイッチ14に供給して、1ラインの映像信号を容量15にサンプリングしてホールドする。図11では、各シフトレジスタの動作クロック周波数は、水平画素数から求めたサン

ブルクロック周波数の1/6となり、シフトレジスタの動作は可能となる。

【0015】しかしながら、シフトレジスタの動作クロック周波数を低くするために、複数個のシフトレジスタを採用すると、各シフトレジスタ毎にスタート信号及び動作クロックの位相を変化させる必要がある。例えば、図11のように、6個のシフトレジスタを採用すると、6種類のスタート信号及び動作クロックを夫々発生させる必要がある。このため、液晶パネルに接続する信号線数が増加し、信号線相互間で影響を受けやすくなり、スプリアスの原因となる。また、複数のシフトレジスタを1つのXドライバ内に設けるので、Xドライバの回路規模が増大し、液晶パネル全体の大きさも大きくなってしまふ。特に、液晶プロジェクターにおいては、液晶パネルの大型化によって光学部品も大きくなり、大幅なコストアップを招来してしまう。

【0016】

【発明が解決しようとする課題】このように、上述した従来の液晶表示装置の駆動回路においては、シフトレジスタの動作クロックを低下させるために、Xドライバ内に複数個のシフトレジスタを設けると、信号線数が増加して、スプリアスの原因になると共に、液晶パネルが大型化してコストアップを招くという問題点があった。

【0017】本発明は、Xドライバに設けるシフトレジスタ数を増加させることなく高画素の液晶パネルを駆動することができる液晶表示装置の駆動回路を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明に係る液晶表示装置の駆動回路は、映像信号を n (n は自然数)相の周波数成分に分割する分割手段と、この分割手段の出力の時間軸を一致させて n 個の映像信号を出力する時間軸一致手段と、複数のデータ線及び複数の走査線の交点にマトリクス状に形成される複数の画素電極を前記データ線を介して入力される映像信号及び前記走査線を介して入力される走査信号に基づいて夫々駆動する複数のスイッチング素子と、前記複数の走査線に走査信号を供給する走査線駆動回路と、前記複数のデータ線に夫々対応しオンパルスが供給されると n 本ずつのデータ線に前記時間軸一致手段からの n 個の映像信号を夫々供給する複数のスイッチ回路と、前記複数のデータ線に基づくサンプリング周波数の $1/n$ の周波数の動作クロックが与えられて動作クロック周期で発生したオンパルスをシフトさせ前記 n 本ずつのデータ線に対応するスイッチ回路に順次与えるシフトレジスタ回路とを具備したものである。

【0019】

【作用】本発明において、分割手段は映像信号を n 相の周波数成分に分割し、時間軸一致手段は時間軸を一致させる。これにより、スイッチ回路には n 個のサンプル点の映像データが同時に与えられる。シフトレジスタ回路

はサンプル周波数の $1/n$ の周波数でオンパルス进行をシフトさせてスイッチ回路に順次出力する。スイッチ回路はオンパルスが入力される毎に、 n 個の映像信号を n 本のデータ線に順次供給し、1水平期間で全データ線に映像信号を供給する。データ線に供給される映像信号と走査線に供給される走査信号とによってスイッチング素子を駆動して映像を表示する。

【0020】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は本発明に係る液晶表示装置の駆動回路の一実施例を示すブロック図である。図1において図8と同一の構成要素には同一符号を付してある。

【0021】入力端子31には映像信号を入力する。この映像信号はアナログ/デジタル変換回路（以下、A/D変換回路という）32に与える。A/D変換回路32は、表示部4の水平方向画素数に基づくサンプリング周波数と同一周波数のA/Dクロックが供給されて、入力アナログ映像信号をデジタル信号に変換して n 相分割回路33に出力する。

【0022】図2は図1中の n 相分割回路33の具体的な構成を示すブロック図である。なお、図2では4相分割回路を示している。

【0023】A/D変換回路32の出力は n 相分割回路33のDフリップフロップFF1乃至FF4に出力する。DフリップフロップFF1乃至FF4は夫々クロック a 乃至 d クロックが与えられ、デジタル映像信号を取込んで夫々DフリップフロップFF5乃至FF8に出力するようになっている。なお、クロック a 乃至クロック d の周波数はサンプリング周波数の $1/4$ であり、各クロック相互間で位相がサンプリング周期だけずれている。これにより、表示部4の水平方向画素に対応したサンプリングデータがDフリップフロップFF1乃至FF4から出力されることになる。DフリップフロップFF5乃至FF8にはクロック e を与える。クロック e の周波数はA/Dクロックの $1/4$ であり、DフリップフロップFF5乃至FF8はA/Dクロックの4倍の周期でDフリップフロップFF1乃至FF4の出力の時間軸を一致させて出力する。すなわち、 n 相分割回路33は水平方向に連続した n （実施例では4）サンプルポイントの映像データを同時に出力することになる。

【0024】 n 相分割回路33からの4データはデジタル/アナログ変換回路（以下、D/A変換回路という）群34の各D/A変換回路D1乃至D4に与える。D/A変換回路D1乃至D4は入力されたデジタル映像信号をアナログ信号に変換して、夫々映像信号P1乃至P4として液晶パネル36の入力端子群35の各入力端子1乃至14に出力するようになっている。

【0025】図3は図1中の液晶パネル36のXドライバ37及び表示部4の具体的な構成を示す説明図である。

【0026】入力端子11はスイッチS1、S5、…に

接続し、入力端子12はスイッチS2、S6、…に接続し、入力端子13はスイッチS3、S7、…に接続し、入力端子14はスイッチS4、S8、…に接続する。スイッチS1、S2、…は、夫々、容量C1、C2…に接続すると共に、バッファドライバB1、B2、…を介して表示部4のデータ線X1、X2、…に接続する。

【0027】本実施例においては、スイッチS1乃至S4、スイッチS5乃至S8、…の各組毎にシフトレジスタ38から同時にオンパルスを供給するようになっている。シフトレジスタ38は表示部4の水平方向画素数の $1/4$ のビット数を有している。シフトレジスタ38は端子7を介してA/Dクロックの $1/4$ 周波数のクロックが与えられて、端子6を介して入力されるスタート信号によってシフトを開始し、“H”にするビットをクロックタイミングでシフトさせるようになっている。すなわち、A/Dクロックの4倍の周期でオンパルスが順次スイッチS1乃至S4、S5乃至S8、…に供給される。

【0028】スイッチS1、S2、…はオンパルスが供給されると、オンとなって映像信号P1乃至P4を容量C1乃至C4、C5乃至C8、…及びバッファドライバB1乃至B4、B5乃至B8、…に供給する。容量C1、C2、…は入力された映像信号を保持し、バッファドライバB1、B2、…は端子8を介して入力されるOE信号のタイミングで保持された映像信号をデータ線X1、X2、…に出力する。

【0029】表示部4の構成は従来と同様であり、マトリクス状に配設したTFT11によって各画素を構成する。各TFT11のゲートは各走査線Y1、Y2、…に接続し、ドレインは各データ線X1、X2、…に接続し、ソースは図示しない透明電極に接続して、透明電極と図示しない共通電極との間にツイストネマティック等の液晶12を封入している。Yドライバ3は各走査線Y1、Y2、…に走査信号を供給して、TFT11を駆動するようになっている。

【0030】次に、このように構成された実施例の動作について図4のタイミングチャート及び図5の説明図を参照して説明する。図4(a)はA/Dクロックを示し、図4(b)はA/D変換回路32の出力を示し、図4(c)乃至(f)は夫々クロック a 乃至クロック d を示し、図4(g)乃至(j)は夫々DフリップフロップFF1乃至FF4の出力を示し、図4(k)はクロック e を示し、図4(l)乃至(o)は夫々DフリップフロップFF5乃至FF8の出力を示している。また、図5(a)は入力端子31に供給される映像信号を示し、図5(b)乃至(e)は夫々図5(a)乃至(d)の映像信号に対してサンプル周期だけ位相が遅延した映像信号を示している。図5中○印はサンプリングポイントを示している。

【0031】入力端子31には図5(a)に示す映像信号を入力する。A/D変換回路32は表示部4の水平方向画

素数に基づくサンプル周波数と同一周波数の A/D クロック(図4(a))タイミングで映像信号をサンプリングして、例えば分解能8ビットの映像データA, B, …(図4(b))を順次 n 相分割回路33に出力する。

【0032】 n 相分割回路33のDフリップフロップFF1乃至FF4には夫々図4(c)乃至(f)に示すクロックa乃至クロックdを与える。クロックa乃至クロックdは A/D クロックの1周期ずつ位相がずれており、DフリップフロップFF1乃至FF4は図4(g)乃至(j)に示すように、 A/D クロックの1周期だけずれた位相で映像データA乃至D, E乃至H, …を順次出力する。この場合には、DフリップフロップFF1乃至FF4の出力は入力映像信号の $1/4$ の周波数帯域となっている。これらの映像データA, E, …、映像データB, F, …、映像データC, G, …及び映像データD, H, …は夫々DフリップフロップFF5乃至FF8に与える。DフリップフロップFF5乃至FF8は、図4(i)乃至(o)に示すように、 A/D クロックの $1/4$ 周期で発生するクロックe(図4(k))のタイミングで入力映像データA乃至D, E乃至H, …を同時に出力する。こうして、図5(a)に示す映像信号のサンプルデータP1乃至P4は、 n 相分割回路33によって、図5(b)乃至(e)に示すように同時に出力される。

【0033】これらの映像信号P1乃至P4は夫々入力端子11乃至14を介してスイッチS1乃至S4, S5乃至S8, …に与える。シフトレジスタ38は A/D クロックの $1/4$ 周波数のクロックでオンパルスを順次シフトさせる。こうして、 A/D クロックの4倍の周期毎にオンパルスがスイッチS1乃至S4, S5乃至S8, …に順次与えられる。スイッチS1, S2, …はオンパルスが供給されると、映像信号P1乃至P4を容量C1, S2, …にホールドさせると共にバッファドライバB1, B2, …を介して表示部4のデータ線X1, X2, …に与える。こうして、水平方向に連続した4サンプルポイントの映像信号をサンプル周期の4倍の周期で同時に4本ずつのデータ線に供給する。そして、1水平期間に1ライン全ての画素に映像データを供給し、Yドライバ3からの走査信号によってTFT11を駆動して、画面上に映像を表示する。

【0034】このように、本実施例においては、映像信号を4相に周波数分割して4サンプルポイントの映像データを同時にデータ線に供給しており、スイッチS1, S2, …を制御するシフトレジスタ38の動作クロックをサンプル周波数の $1/4$ にすることができる。このため、シフトレジスタ38の個数を増加させることなく、比較的低い動作クロックでデータ線数が多い高解像度の液晶パネルを駆動することができる。すなわち、 n 相分割回路33によって映像信号を n 分割すると、Xドライバ37に与えられる映像信号の周波数帯域は $1/n$ となるので、帯域(約10MHz以下)の中耐圧CMOSで構

成したXドライバを使用することができる。また、Xドライバ内には1個のシフトレジスタのみを設ければよく、信号線数を低減してスプリアスの発生を抑制することができる。また、Xドライバの回路規模も縮小することができ、液晶パネルの大きさを小さくしてコストを低減することができる。

【0035】なお、EDTV及びHDTV放送の受信機等のように、ディジタル信号処理を必要とする装置に採用した場合には、 A/D 変換回路及び D/A 変換回路を共用することができ、 n 相分割回路のみを追加することによって容易に構成することができる。

【0036】図6は本発明の他の実施例に採用される n 相分割回路を示すブロック図である。本実施例は n 相分割回路をアナログ回路で構成したものであり、他の構成は図1の実施例と同様である。

【0037】映像信号は入力端子41を介して高速サンプルホールド回路42乃至45に与える。高速サンプルホールド回路42乃至45は夫々クロックA乃至クロックDが与えられ、クロックの“H”によって入力信号をサンプリングし、クロックの“L”期間にサンプリングした信号を保持する。高速サンプルホールド回路42の出力はディレイ回路46乃至48を介してXドライバ37(図1参照)の入力端子11に与える。高速サンプルホールド回路43の出力はディレイ回路49, 50を介して入力端子12に与え、高速サンプルホールド回路44の出力はディレイ回路51を介して入力端子13に与え、高速サンプルホールド回路45の出力はそのまま入力端子14に与える。ディレイ回路46乃至51は入力されたデータを図1表示部4の水平方向画素数に基づくサンプリング周波数の1周期だけ遅延させて出力するようになっている。

【0038】次に、このように構成された実施例の動作について図7のタイミングチャートを参照して説明する。図7(a)は図1表示部4の水平方向画素数に基づくサンプリングクロックを示し、図7(b)乃至(e)は夫々クロックA乃至クロックDを示している。

【0039】入力端子41を介して入力される映像信号は高速サンプルホールド回路42乃至45に与える。高速サンプルホールド回路42乃至45には夫々図7(b)乃至

(e)に示すクロックA乃至クロックDが与えられており、映像信号をサンプルクロックの“H”タイミングでサンプリングする。図7に示すように、クロックA乃至クロックDはサンプリングクロック(a)の1周期ずつ位相がずれており、高速サンプルホールド回路42乃至45によって、水平方向に連続した4サンプルポイントの映像データがサンプリングされる。こうして、映像信号は周波数成分が4相に分割される。

【0040】ディレイ回路46乃至49は高速サンプルホールド回路42からのサンプルデータをサンプリングクロック(a)の3周期だけ遅延させて入力端子11に与え、ディレイ回路49, 50は高速サンプルホールド回路43から

のサンプルデータをサンプリングクロック (a) の2周期だけ遅延させて入力端子12に与える。ディレイ回路51は高速サンプルホールド回路44からのサンプルデータをサンプリングクロック (a) の1周期だけ遅延させて入力端子13に供給し、高速サンプルホールド回路45からのサンプルデータはそのまま入力端子14に与える。こうして、高速サンプルホールド回路42乃至45出力の時間軸は一致し、入力端子11乃至14には連続した4ポイントの映像信号P1乃至P4が同時に入力される。

【0041】本実施例においても、図1の実施例と同様の効果が得られることは明らかである。

【0042】

【発明の効果】以上説明したように本発明によれば、シフトレジスタ回路の動作クロックをサンプリング周波数の $1/n$ に低下させることができるので、シフトレジスタ数を増加させることなく高画素の液晶パネルを駆動することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の駆動回路の一実施例を示すブロック図。

【図2】図1中のn相分割回路の具体的な構成を示すブ

ロック図。

【図3】図1中のXドライバ及び表示部の具体的な構成を示す説明図。

【図4】実施例の動作を説明するためのタイミングチャート。

【図5】実施例の動作を説明するための説明図。

【図6】本発明の他の実施例を示すブロック図。

【図7】図6の実施例の動作を説明するためのタイミングチャート。

【図8】アクティブマトリクス方式の液晶パネルの構成を示すブロック図。

【図9】図8中のXドライバ及び表示部の構成を具体的に示す説明図。

【図10】図8の液晶パネルの動作を説明するためのタイミングチャート。

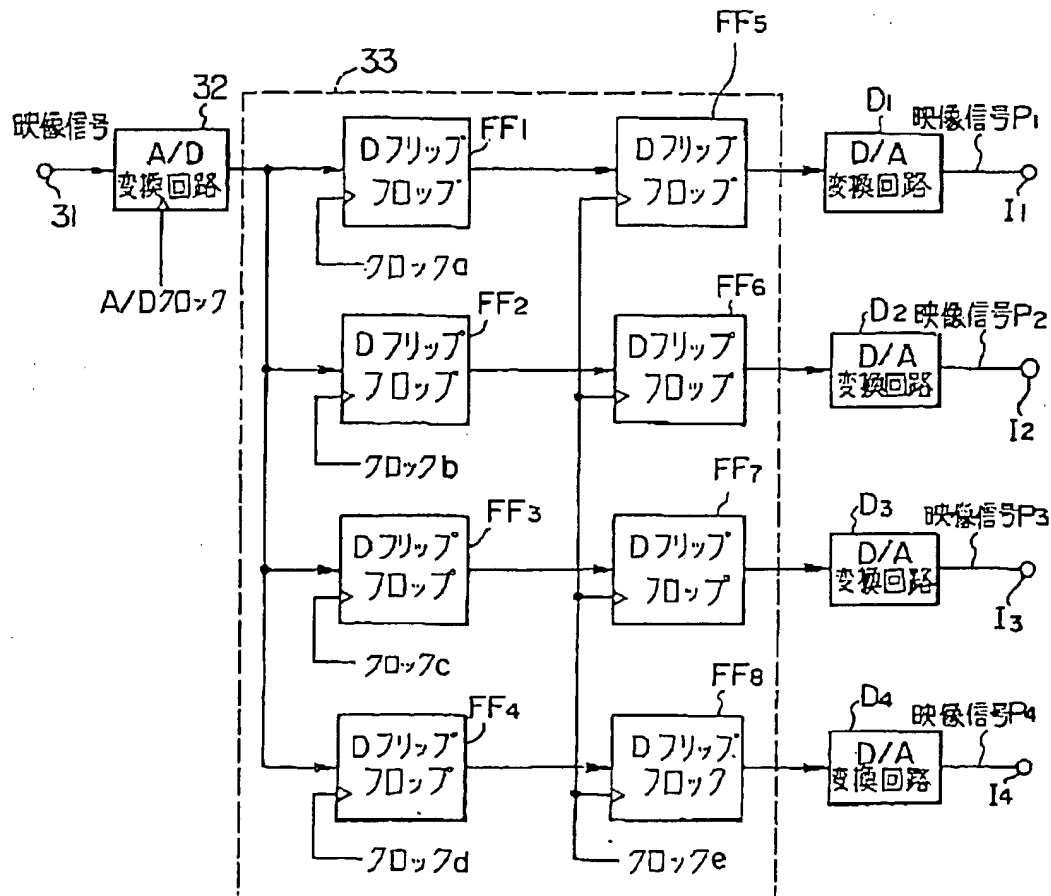
【図11】従来の液晶表示装置の駆動回路を示す説明図。

【図12】図11の従来例の動作を説明するためのタイミングチャート。

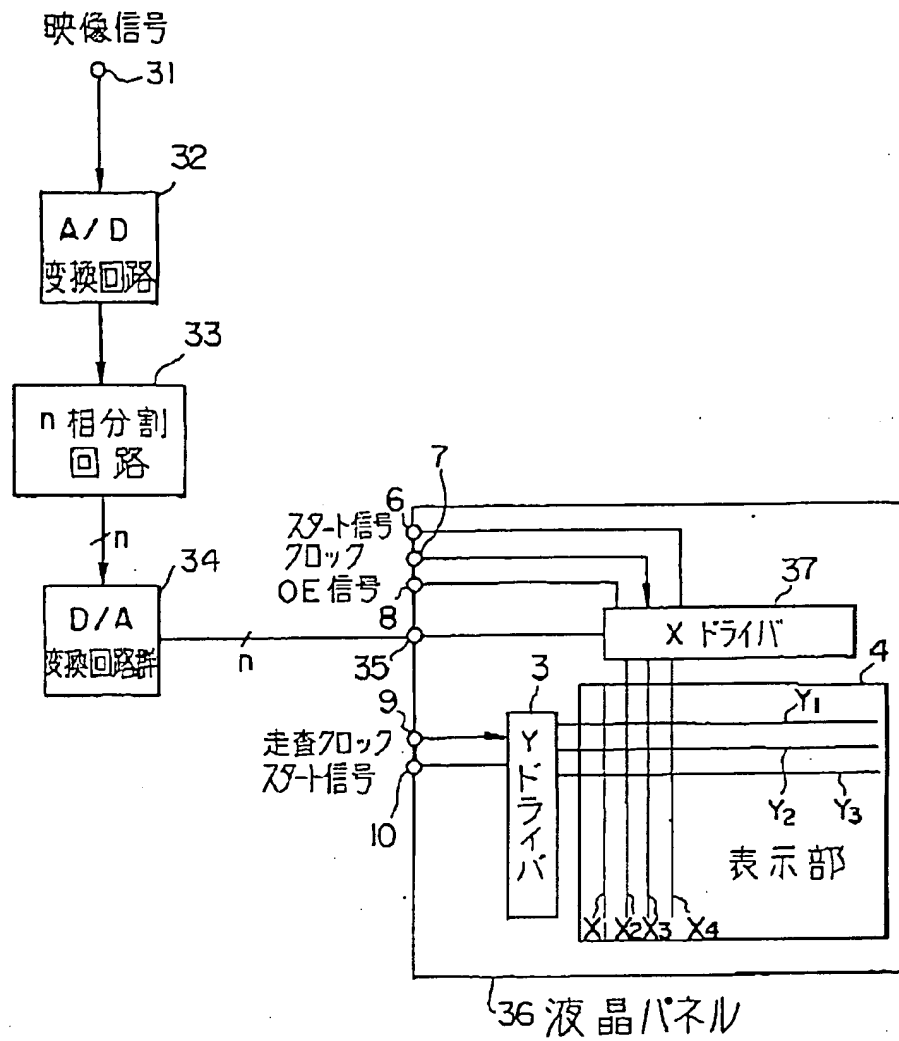
【符号の説明】

33…n相分割回路、36…液晶パネル、37…Xドライバ

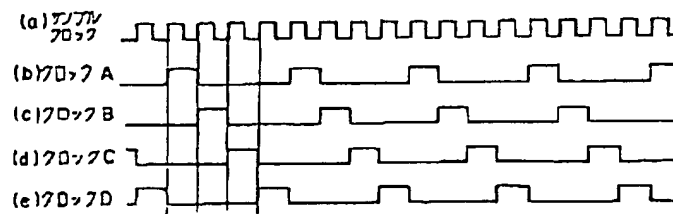
【図2】



【図1】



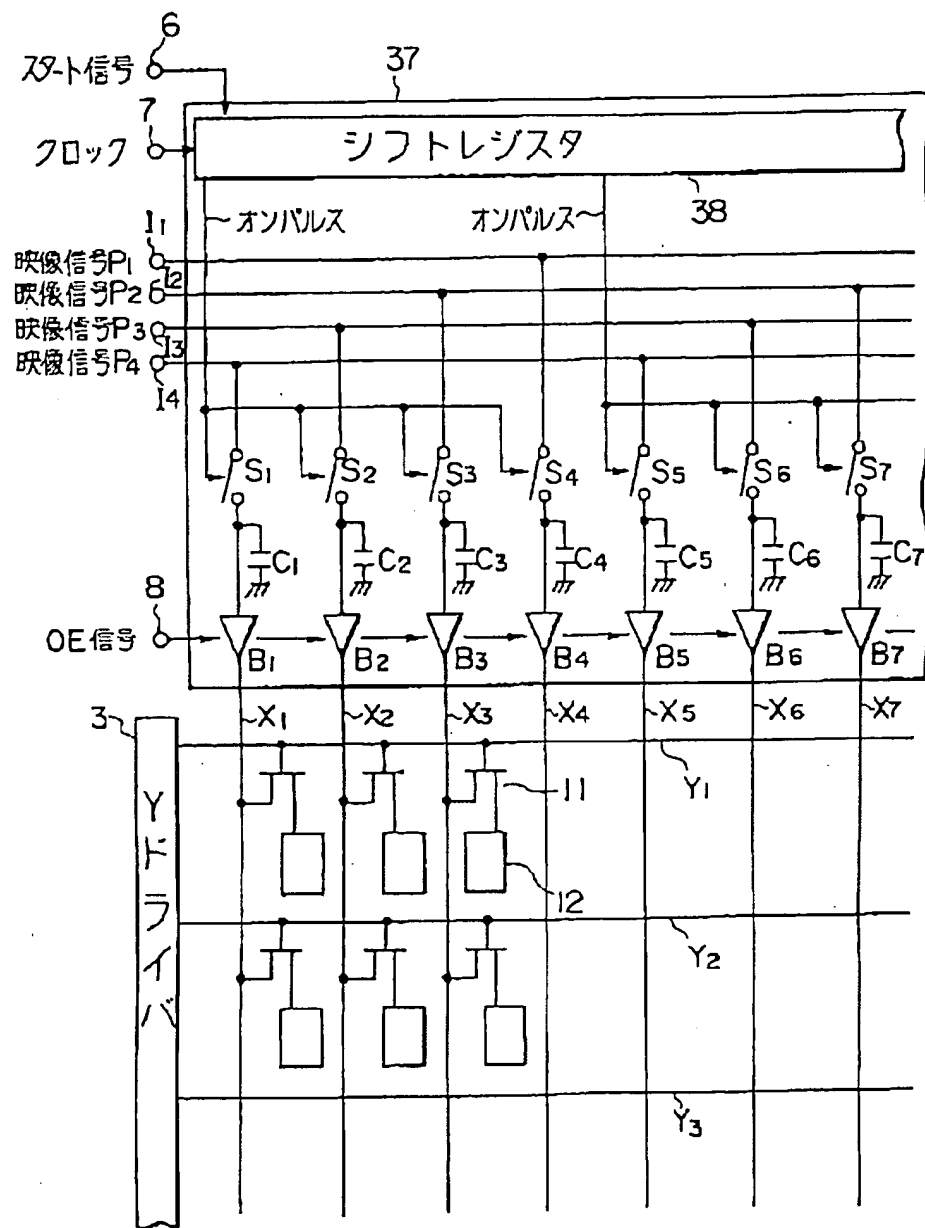
【図7】



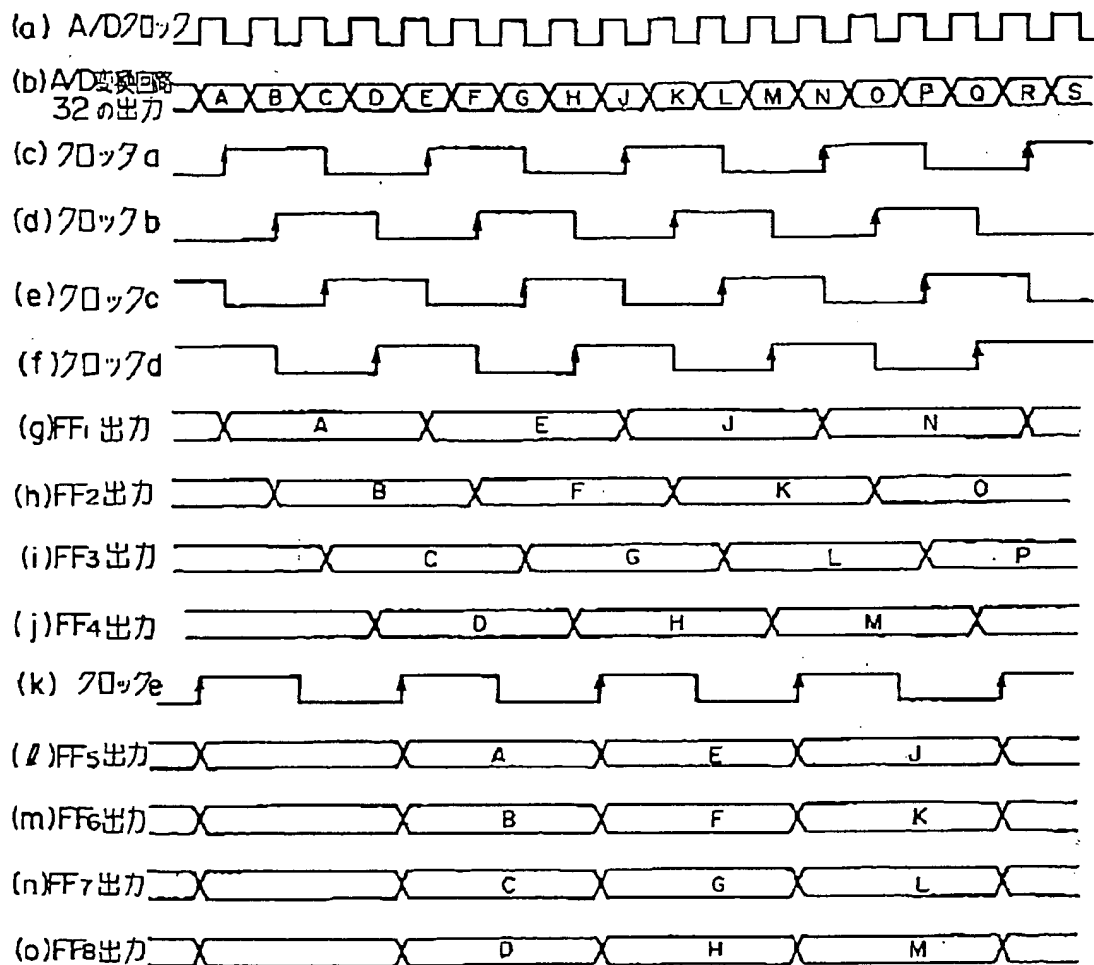
(8)

特開平5-210361

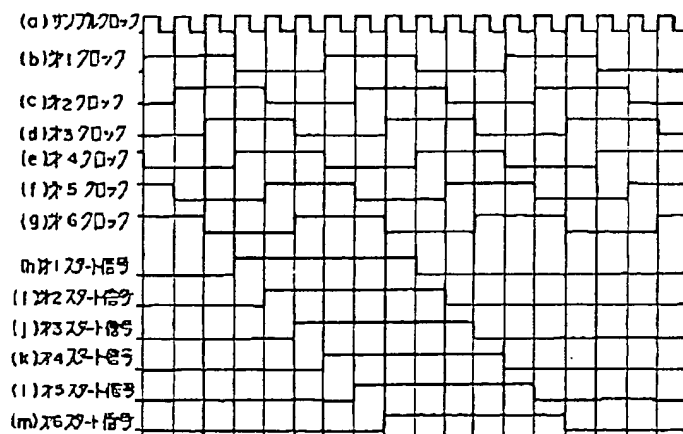
【図3】



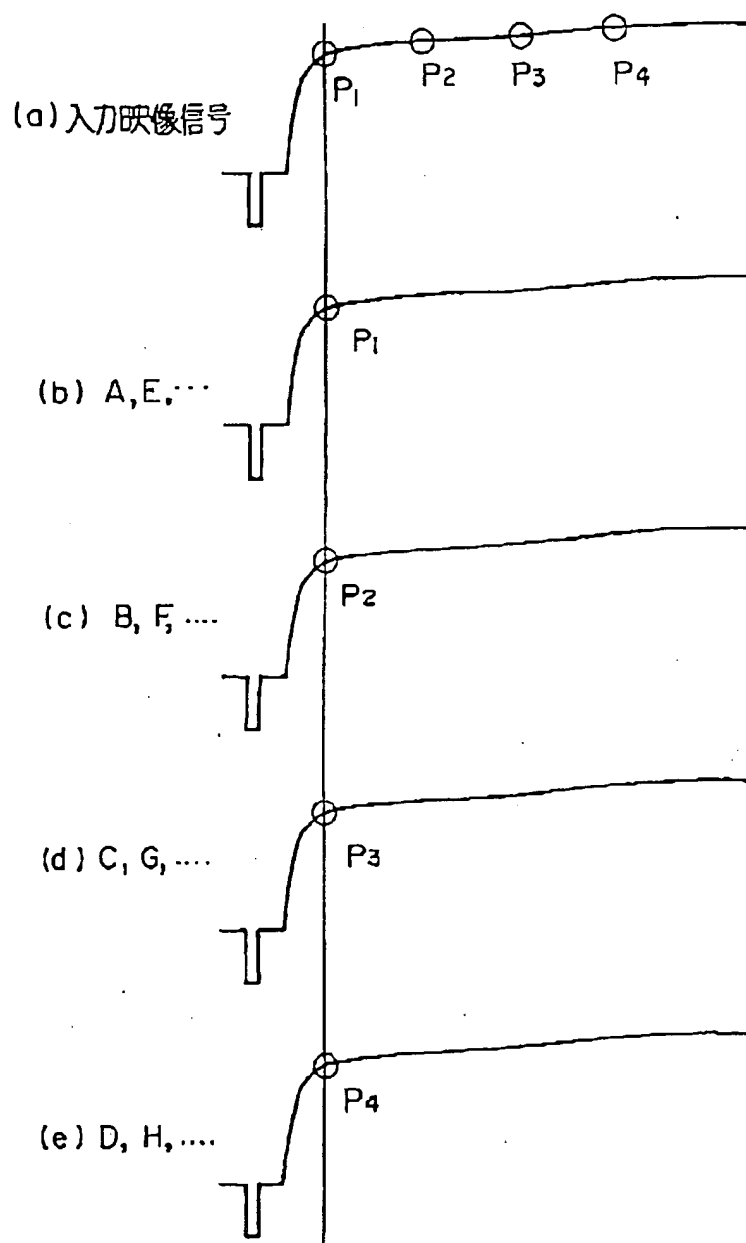
【図4】



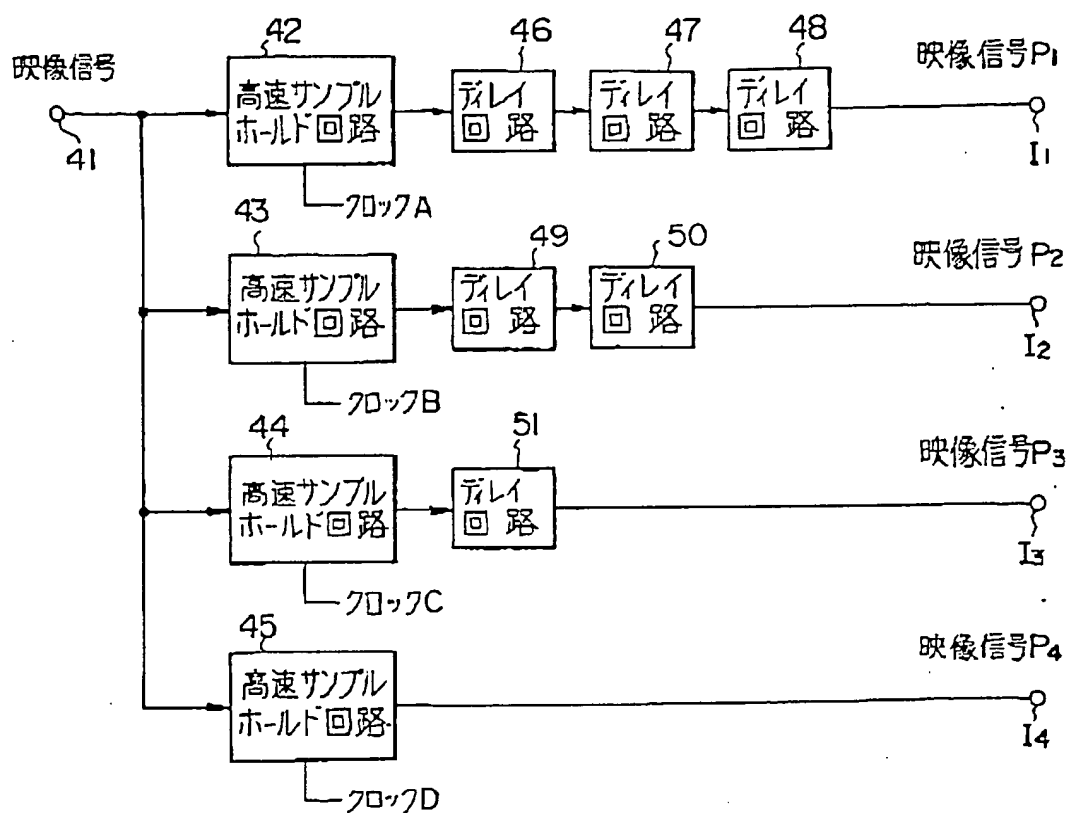
【図12】



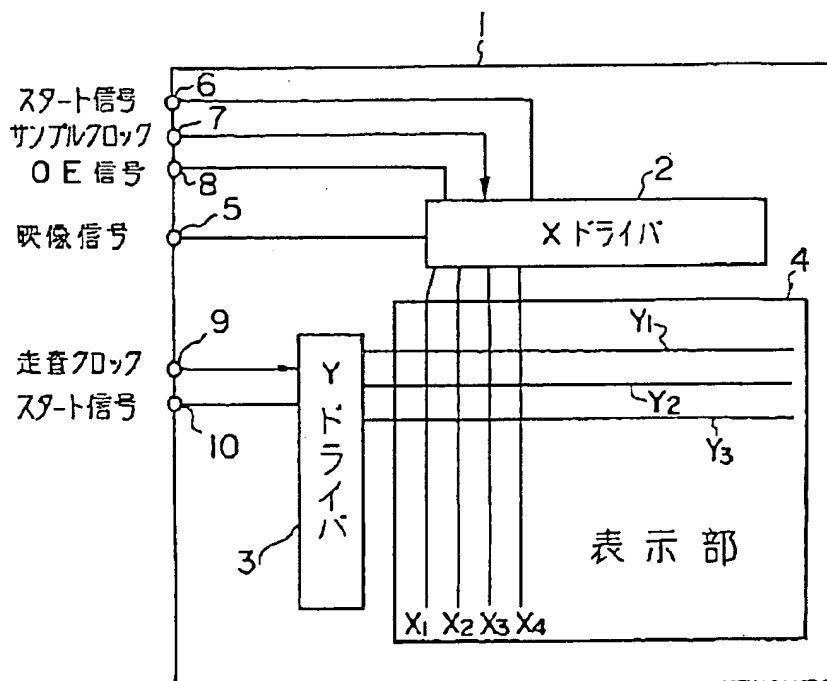
【図5】



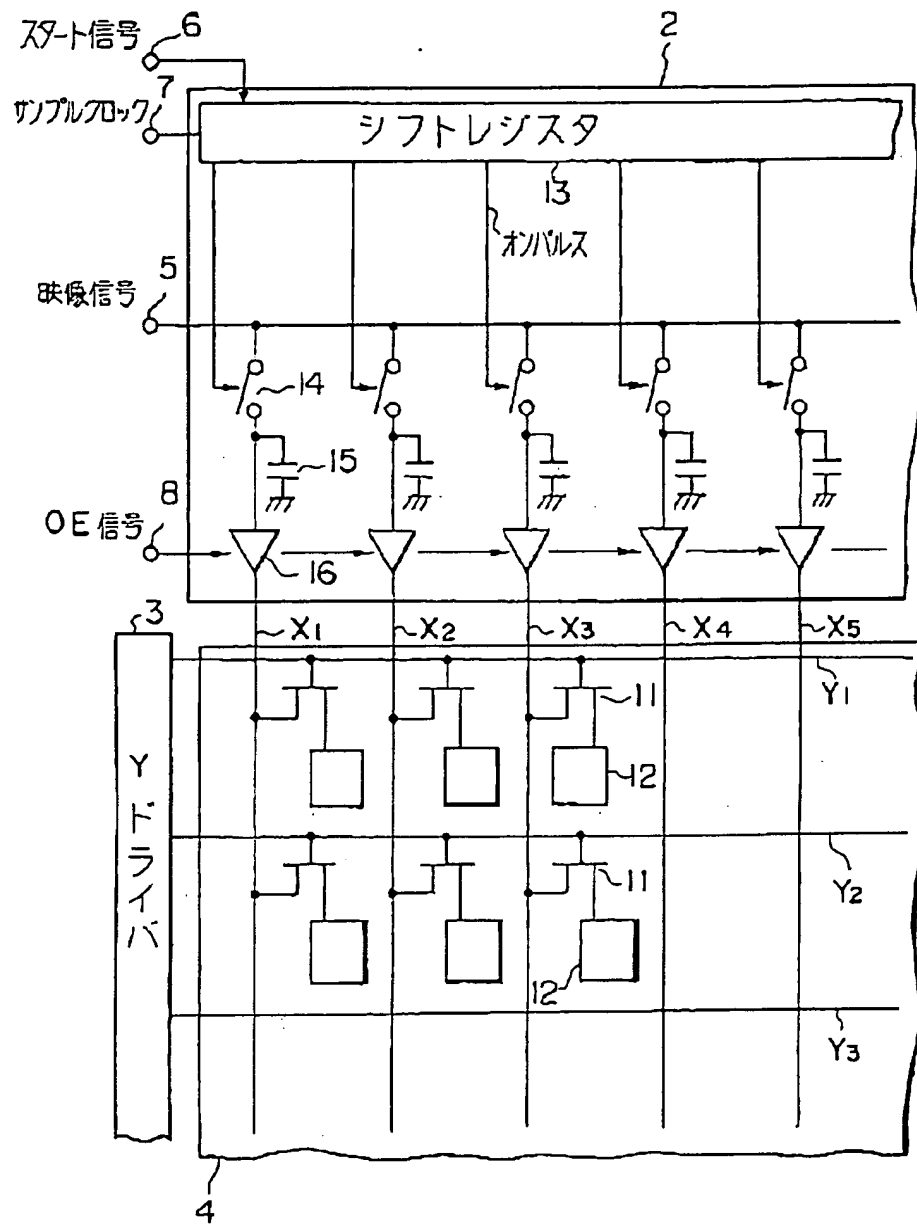
【図6】



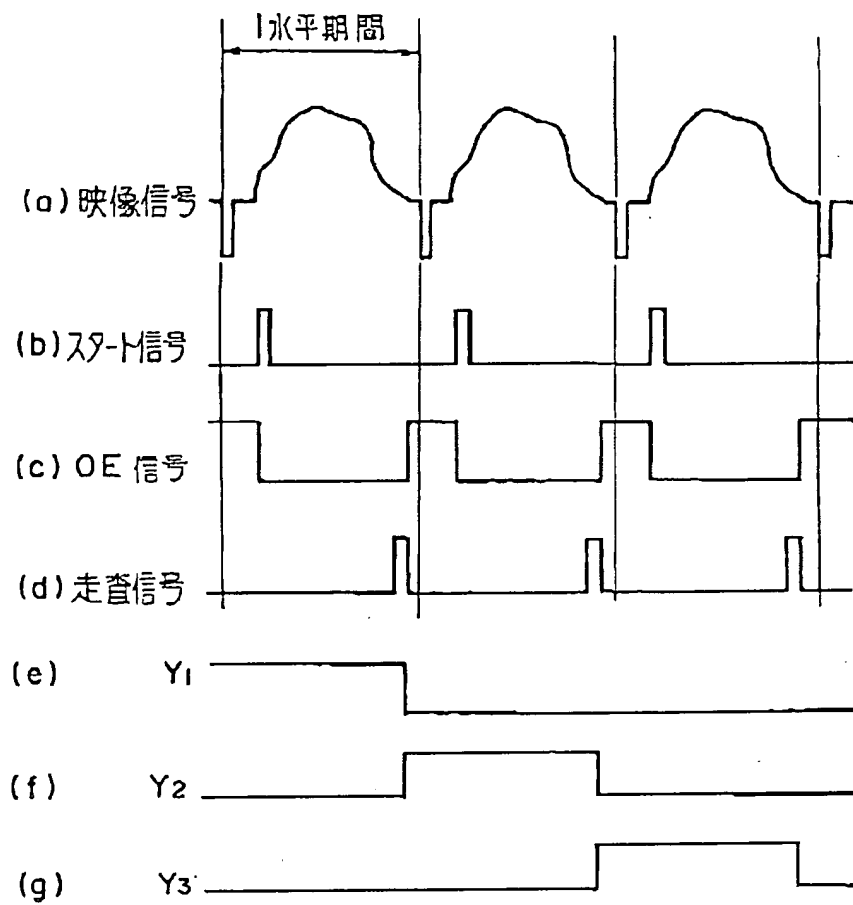
【図8】



【図9】



【図10】



【図11】

